

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-140655

(43)Date of publication of application : 17.05.2002

(51)Int.Cl.

G06F 19/00  
H01L 21/304  
H01L 21/306  
H01L 21/3205

(21)Application number : 2000-340364

(71)Applicant : HITACHI LTD

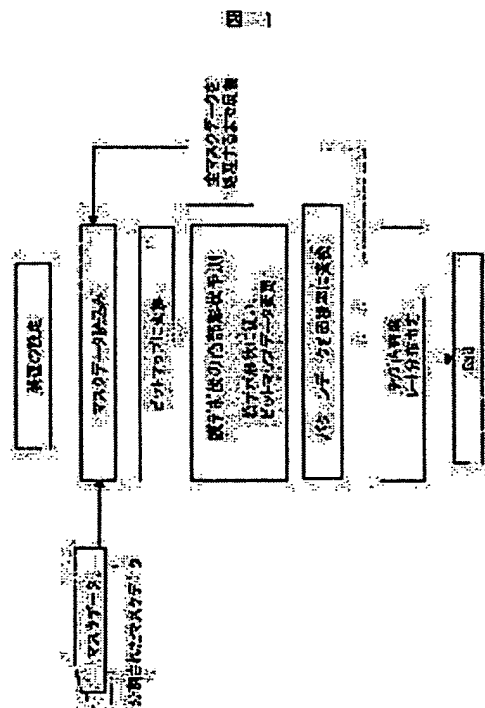
(22)Date of filing : 02.11.2000

(72)Inventor : OTAKE ATSUSHI  
KOBAYASHI KINYA

## (54) SIMULATION FOR FLATTENING SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To develop a simulation method for fast evaluating CMP abrasive unevenness and to apply the simulation method to a dummy pattern design.  
SOLUTION: Exposure mask data are divided and made into bitmap with resolution capable of displaying minimum linewidth by 4 to 10 dots to calculates a CMP abrasive rate distribution. Thus, it is possible to fast evaluate CMP abrasive unevenness and to realize the dummy pattern design within a practical period.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140655

(P2002-140655A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)
G 0 6 F 19/00	1 1 0	G 0 6 F 19/00	1 1 0 5 F 0 3 3
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 R 5 F 0 4 3
21/306		21/306	M
21/3205		21/88	K

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-340364(P2000-340364)

(22) 出願日 平成12年11月2日 (2000.11.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大嶽 敦

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 小林 金也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体ウエハの平坦化シミュレーション

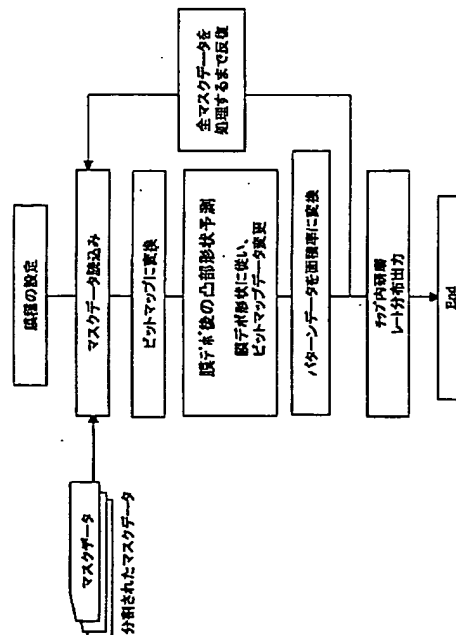
(57) 【要約】

【課題】CMP研磨ばらつきを高速に評価するシミュレーション手法を開発し、ダミーパターン設計に適用可能とする。

【解決手段】本発明では、露光マスクデータを分割した上、最小配線幅を4～10ドットで表すことができる解像度でビットマップ化し、CMP研磨レート分布を求める。

【効果】本発明によれば、CMP研磨ばらつきの評価が高速に可能となり、ダミーパターン設計を実用的な時間内で実現できる。

図 1



## 【特許請求の範囲】

【請求項1】 化学機械研磨処理(Chemical mechanical polishing, CMP)法による半導体ウエハおよび半導体チップ表面の研磨速度をシミュレーションする方法において、

露光マスクデータをビットマップデータに展開し、左記ビットマップデータを用いてチップ上のパターンに成膜処理を施した後の加工形状を求め、チップ領域を分割して各分割領域ごとに成膜後の研磨速度分布 $r(i, j)$ を求めることを特徴とするCMPシミュレーション方法。

【請求項2】 請求項1において、上記ビットマップの解像度をチップ内における最小パターン幅を4ドットから10ドットで表現可能な解像度とすることを特徴とするCMPシミュレーション方法。

【請求項3】 請求項1において分割領域の大きさを0.25mm～2.5mmとすることを特徴とするCMPシミュレーション方法。

【請求項4】 請求項1において、成膜される膜が $Q_3$ -TEOS(Tetraethylorthosilicate)膜、p(plasma)-TEOS膜、高密度プラズマCVD膜、スピコート絶縁膜、窒化シリコン膜、めっきCu膜、タングステン膜および窒化チタン膜あるいはこれらの組み合わせであることを特徴とするCMPシミュレーション方法。

【請求項5】 請求項1～4において、マスクデータ中にダミーパターンを導入することを特徴とするCMPシミュレーション方法。

【請求項6】 請求項5において、ダミーパターンの形状を変化させデータ量が少なく上記初期研磨速度 $r_0(i, j)$ のばらつきを極小とするダミーパターン形状を探索することを特徴とするCMPシミュレーション方法。

【請求項7】 請求項1～6のシミュレーション方法を実行するための処理を行うコンピュータプログラムを格納した記録媒体。

【請求項8】 請求項5におけるCMPシミュレーション手法を用い、最適化ダミーパターン形状を導出し左記ダミーパターン形状を導入した露光マスクを用いて製造されることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体ウエハ上に形成された薄膜の平坦化方法に関わり、特に平坦性が高く研磨異常のない半導体薄膜処理方法に関する。

## 【0002】

【従来の技術】半導体製造プロセスにおいては、露光精度を向上させるため、パターン上に形成された絶縁膜や金属薄膜の表面段差を化学機械研磨(Chemical Mechanical Polishing, CMP)法によって平坦化する方法が一般化しつつある。CMP法における課題として次の二点を上げることができる。

【0003】(a) パターン密度の異なる集積回路では

研磨レートが異なる。それぞれのチップやウエハに最適な研磨時間を決定するため、多くの試行回数が必要。

【0004】(b) ウエハやチップ内でパターン密度(凸部分の比率)に偏りが存在すると研磨残りが生じたり、過剰研磨が生ずる。

【0005】(a) に対応するためには、研磨速度を事前に予測する必要がある。

【0006】特開平11-186205号公報では、マスクデータから薄膜形成後の処理形状を予測してCMP研磨標高を予測する手法について述べられている。

【0007】また、(b) 対処するため、ウエハおよびチップ中の凸部分が少ない領域に“ダミーパターン”を導入して凸部分を増やす解決策が実施されている。例えば特開2000-223492号公報他多数の公知例では、平坦性を確保するためウエハ上にダミーパターンを配置する方法について述べている。

## 【0008】

【発明が解決しようとする課題】上記公知例に記載の方法でダミーパターンを導入した場合、露光マスクのデータ量が極めて大きくなる(数ギガバイト)。またダミーパターン形状を最適化するためには、ダミーパターンを変えて複数回のレイアウト設計、マスク作成・露光、パターン形成、CMP処理を繰り返す必要がある。このため、レイアウト設計に多大な労力と時間が必要である。そこで、ダミーパターン導入によりどの程度平坦性(研磨ばらつき)が改善されるか予測・シミュレーションが必要だが、データ量が多いため従来法では1GFlops程度の処理能力を有するコンピュータを用いても数日以上以上の処理期間が必要であった。

## 【0009】

【課題を解決するための手段】以上の課題を解決するため、本発明では化学機械研磨処理(Chemical mechanical polishing, CMP)法による半導体ウエハおよびチップ表面の研磨速度をシミュレーションする方法において、チップの露光マスクデータを特定の解像度でビットマップ展開し、左記ビットマップにおいてチップ上のパターンに成膜処理を施した後の加工形状を求め、チップ領域を分割して各分割領域ごとに成膜後の凸部面積率 $\rho(i, j)$ 、研磨速度分布 $r(i, j)$ を求めることを特徴とするCMPシミュレーション方法が提供される。露光マスクデータをビットマップ展開することにより、ウエハ上に形成されたパターンおよびパターンへの成膜形状処理が単純になり、データ処理量が1/5程度に削減される。また、ビットマップ展開した際に問題となる使用メモリの増加はチップ領域を分割処理することで解決される。

【0010】好ましくは、上記ビットマップの解像度をチップ内における最小パターン幅を4ドットから10ドットで表現可能な解像度とすることを特徴とするCMPシミュレーション方法が提供される。我々の新たな知見によれば、最小配線幅を4ドットから10ドットとすることで

CMPレートの評価が可能であることが分かった。これにより、必要以上に処理データ量を増やすことなく高速な処理が可能となる。

【0011】好ましくは、上記分割領域の大きさを0.25mm～2.5mmとすることを特徴とするCMPシミュレーション方法が提供される。

【0012】好ましくは、成膜される膜が $\text{O}_3$ -TEOS(Tetraethylorthosilicate)膜、p(plasma)-TEOS膜、高密度プラズマCVD膜、スピコート絶縁膜、窒化シリコン膜、めっきCu膜、タングステン膜および窒化チタン膜あるいはこれらの組み合わせであることを特徴とするCMPシミュレーション方法が提供される。これにより、様々な膜種およびこの組み合わせに対してCMP研磨シミュレーションが可能となる。

【0013】好ましくは、マスクデータ中にダミーパターンを導入することを特徴とするCMPシミュレーション方法が提供される。これにより、ダミーパターンを導入した場合の研磨ばらつきのシミュレーションが可能となる。

【0014】好ましくは、ダミーパターンの形状を変化させデータ量が少なく上記初期研磨速度 $r_0(i, j)$ のばらつきを極小とするダミーパターン形状を探索することを特徴とするCMPシミュレーション方法が提供される。これにより、従来多大な時間を必要としたダミーパターン形状最適化が迅速に実行可能となる。

【0015】好ましくは上記シミュレーション方法を実行するための処理を行うコンピュータプログラムを格納した記録媒体が提供される。

【0016】好ましくは、上記CMPシミュレーション手法を用い、最適化ダミーパターン形状を導出し左記ダミーパターン形状を導入した露光マスクを用いて製造されることを特徴とする半導体装置が提供される。これにより、平坦性に優れたウエハを実験試行なしに形成することができる。

【0017】

【発明の実施の形態】(実施例1)図1に本発明にかかるCMP研磨レートのシミュレーション方法のフロー図を示す。図1について以下に説明する。

【0018】最初にデボする膜種を設定する。膜の種類によって、パターン上に形成される凸領域の形状が変化する。本実施例では $\text{O}_3$ -TEOS膜とする。

【0019】次に分割したマスクデータを一読し込む。マスクデータはここではベクトル型(線分の集合としてチップ上の配線等が表現されている)のデータである。このマスクデータをビットマップに変換する。一般的にはビットマップ化することにより、ベクトルデータに比較して使用記憶領域が増大する。そこで、チップ上の凹凸を二値化し、凹を0、凸を1として表現する。また、チップ全体を一度に処理せず分割して処理する。これにより使用メモリ領域は数10～数100メガバイト程度

に抑制できる。

【0020】次に膜デボ後の凸部形状を予測する。この手順について図2を用いて以下に説明する。図2では配線1上にコンフォーマルに形成される $\text{O}_3$ -TEOS膜を例として取り上げた。配線1上にコンフォーマルな膜2が形成されると配線1上面から見た凸形状の領域が配線幅に比較して拡大したように見える。この凸領域の拡大幅 $\delta$ はコンフォーマルな膜の場合には $\delta = a \cdot (\pi/4)$ で表されると仮定する(ここで、 $a$ :デボ膜厚)。これは、コンフォーマルな膜の場合にはデボ膜の断面形状が4分円として近似できることによる。左記に従い、配線周囲を $\delta$ だけ太らせたものがデボ後の上面から見た凸領域3となる(図3)。凸領域3にならない部分は全て凹領域4として取り扱う。ビットマップの値は凸領域3の場合には”1”、凹領域4の場合には”0”を割り当てる。また、凸領域3同志が重なった領域についてはビットマップの値を”1”とする。このような処理をビットマップ化された全配線パターンに対して実施する。図4にビットマップ化したマスクデータ(配線データ)及び左記のデータに絶縁膜デボ処理を実施したビットマップを示す(チップ上からの上面投影図に相当)。図4における白色部分がビットマップの値が”1”となっている部分である。

【0021】次に凸部面積率の計算を実施する。本実施例ではビットマップデータ中の”1”(凸領域)に相当する部分が全ピクセル数に対して何個有るかを求めることに相当する。本実施例では、ビットマップデータを50 $\mu\text{m}$ ×50 $\mu\text{m}$ の領域に区切り各領域を $i, j$ で番号付けし、各領域において凸領域のビットをカウントすることで凸部面積率 $A(i, j)$ を求めている。

【0022】以上の一連の操作をマスクデータ全てについて実施する。これにより、与えられたマスクデータ全領域について面積率 $A(i, j)$ が求まる。ここで求めた $A(i, j)$ からCMP研磨レート分布 $r(i, j)$ を求めることができる。 $A(i, j)$ から $r(i, j)$ を求める方法については、現在までに種々のモデルが報告されている。これらのモデルを選択して研磨レート分布が記録・出力される。最も単純には初期の研磨レート $r_0(i, j) \propto A(i, j)$ となり、 $r_0(i, j)$ を点 $i, j$ を中心とする半径1～2mmの範囲で平均化することにより求めることができる。

【0023】ベクトルデータとビットマップ化したデータを比較した場合、次のようなメリットがある。ベクトルデータの場合では、膜デボ後の凸領域同志の重なりを求めるために多数の交点計算が必要になり、また面積を求める手順も複雑になる(図5)。ビットマップでは、単に凸領域の”1”の部分のカウントすることで凸部の面積率を求めることができる。配線パターンの種類にもよるが、0.25 $\mu\text{m}$ ～1 $\mu\text{m}$ の配線が混在する8mm角のテストチップにおいてビットマップデータの場合はベクトルデータに比較し処理時間が1/2～1/5程度であった。

【0024】上記のように本実施例によれば、絶縁膜デ

ボ後の研磨レート分布を迅速に評価することができる。

【0025】(実施例2) 上記実施例において、ビットマップの解像度として最小配線幅を4〜10ドットで表現する解像度に設定した場合について説明する。図6に一般的な論理LSIについてビットマップ表現により求めた凸部面積率とベクトル表現した場合との誤差を示す。図6より4〜10ドットで最小配線が表現されていれば誤差は数パーセント以内となることが分かる。

【0026】以上のように本実施例によれば、必要以上に処理データ量を増やすことなく高速な処理が可能となる。

【0027】(実施例3) 請求項1における分割領域の大きさは、10mm角までのチップの場合、0.25mm〜2.5mmとすることが望ましい。計算機の能力によってこの値は変化するが、1ギガバイト以下の記憶容量では、0.25mm〜2.5mmとすることでより高速なシミュレーションが可能となる。

【0028】(実施例4) 実施例1において、成膜される膜が $\text{O}_3$ -TEOS(Tetraethylorthosilicate)膜、p(plasma)-TEOS膜、高密度プラズマCVD膜、スピンコート絶縁膜、窒化シリコン膜、めっきCu膜、タングステン膜および窒化チタン膜あるいはこれらの組み合わせであっても成膜モデルを変更することにより対応可能である。特定の膜の断面形状を実験により調べることは容易であるので、この結果をモデルに取込むことで様々な膜に対応することができる。

【0029】(実施例5) 実施例1において、マスクデータにダミーパターンを追加して解析した場合について図7を用いて説明する。本実施例においては実施例1におけるフロー図1のビットマップ変換後にダミーパターンを導入する。ダミーパターンの形状は予め決めておく。上記実施例1と同様の手順によりシミュレーションを実施することによって、研磨レート分布を得ることができる。図8は、ダミーパターン導入前後における研磨レート分布を示したものである。対象としたパターンは0.25 $\mu\text{m}$ 〜1 $\mu\text{m}$ までの配線を含む6×6mmのテストパターンである。ダミーパターンの導入により研磨レートのばらつきが改善されていることが分かる。ダミー導入の有無に関わらず計算に要した時間は0.5Gflopsのコンピュー

タを用いて2.5時間以内であった。

【0030】以上のように本実施例によれば、ダミーパターンの導入効果を実用的な時間内で評価可能であることが分かった。

【0031】(実施例6) 実施例5において、シミュレーションで得られる研磨レート分布を評価し、研磨レートばらつきが既定値以下であった場合にダミーパターン形状を変更して、シミュレーションを繰り返すことによってダミーパターン形状の最適化が可能である(図9)。1種類のダミー形状に関する計算時間が数時間程度のケースでは実験を繰り返すことなく最適なダミーパターン形状を実用的な時間内で求めることができる。また、求めたダミーパターン形状を露光マスクに反映することで、迅速に最適ダミーパターンが導入された半導体装置を製造することが可能となる。

【0032】

【発明の効果】本発明によれば、CMP研磨ばらつきの評価が高速に可能となり、ダミーパターン設計を実用的な時間内で実現できる。

【図面の簡単な説明】

【図1】本発明に係るCMPシミュレーション方法(1)を説明する図。

【図2】絶縁膜デポ形状の評価(1)を説明する図。

【図3】絶縁膜デポ形状の評価(2)を説明する図。

【図4】絶縁膜デポ形状の評価(3)を説明する図。

【図5】絶縁膜デポ形状の評価(4)を説明する図。

【図6】解像度と誤差評価を説明する図。

【図7】本発明に係るダミーパターン評価方法を説明する図。

【図8】本発明に係るダミーパターン評価方法を説明する図。

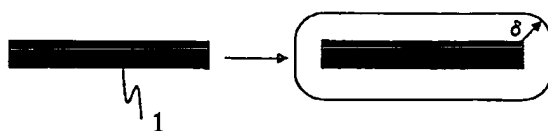
【図9】シミュレーションで得られる研磨レート分布を評価し、研磨レートばらつきが既定値以下であった場合にダミーパターン形状を変更して、シミュレーションを繰り返すことによってダミーパターン形状の最適化が可能であることを説明する図。

【符号の説明】

1…ウエハ上の配線、2…ウエハ上にデポした絶縁膜、3…凸領域、4…凹領域。

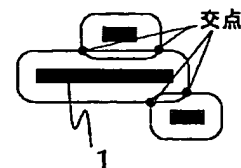
【図3】

図 3

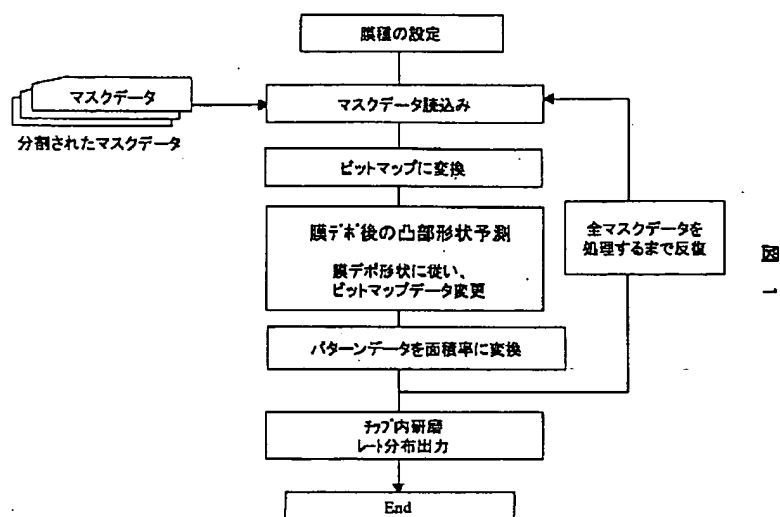


【図5】

図 5

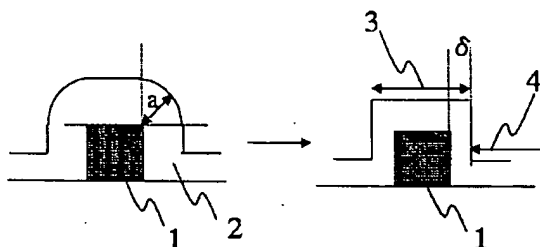


【図1】



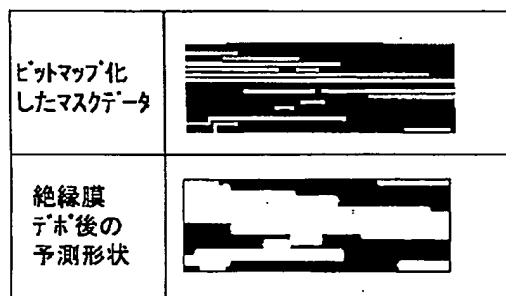
【図2】

図 2



【図4】

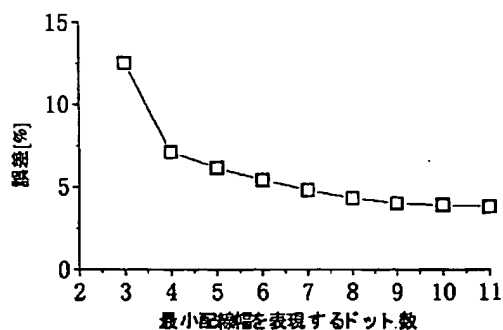
図 4



白色部分が凸領域(ビットマップの値=1)。  
黒色部分が凹領域(ビットマップの値=0)。  
絶縁膜デボにより凸領域が増大。

【図6】

図 6



【図 7】

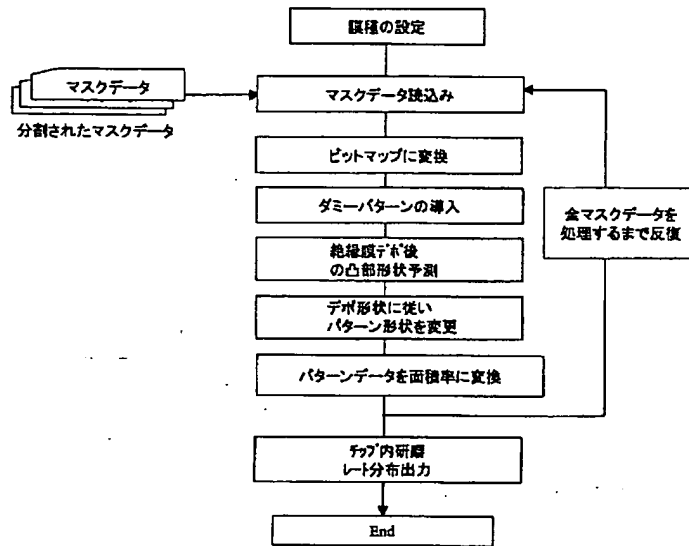
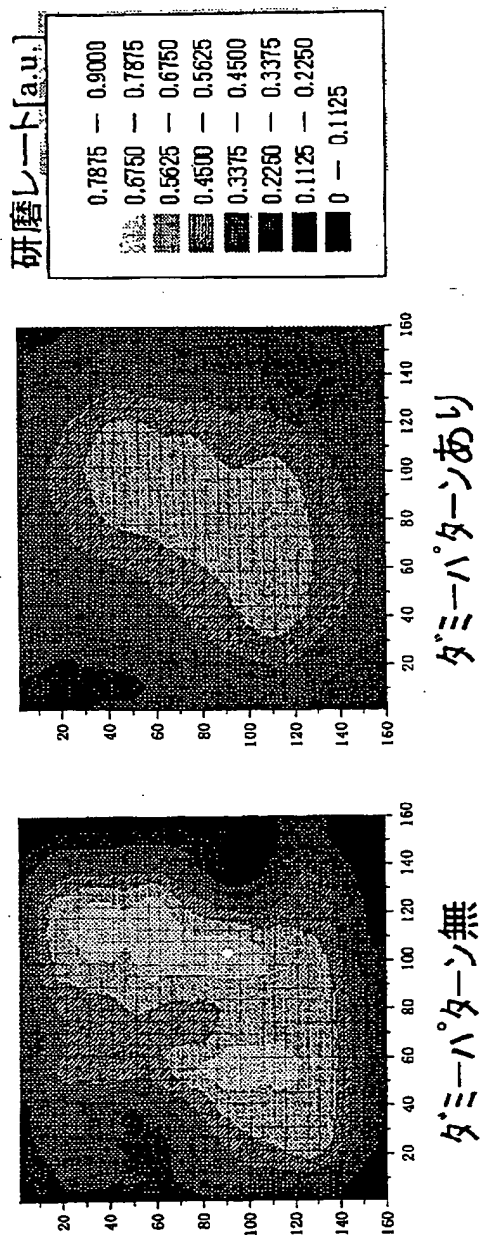


図 7



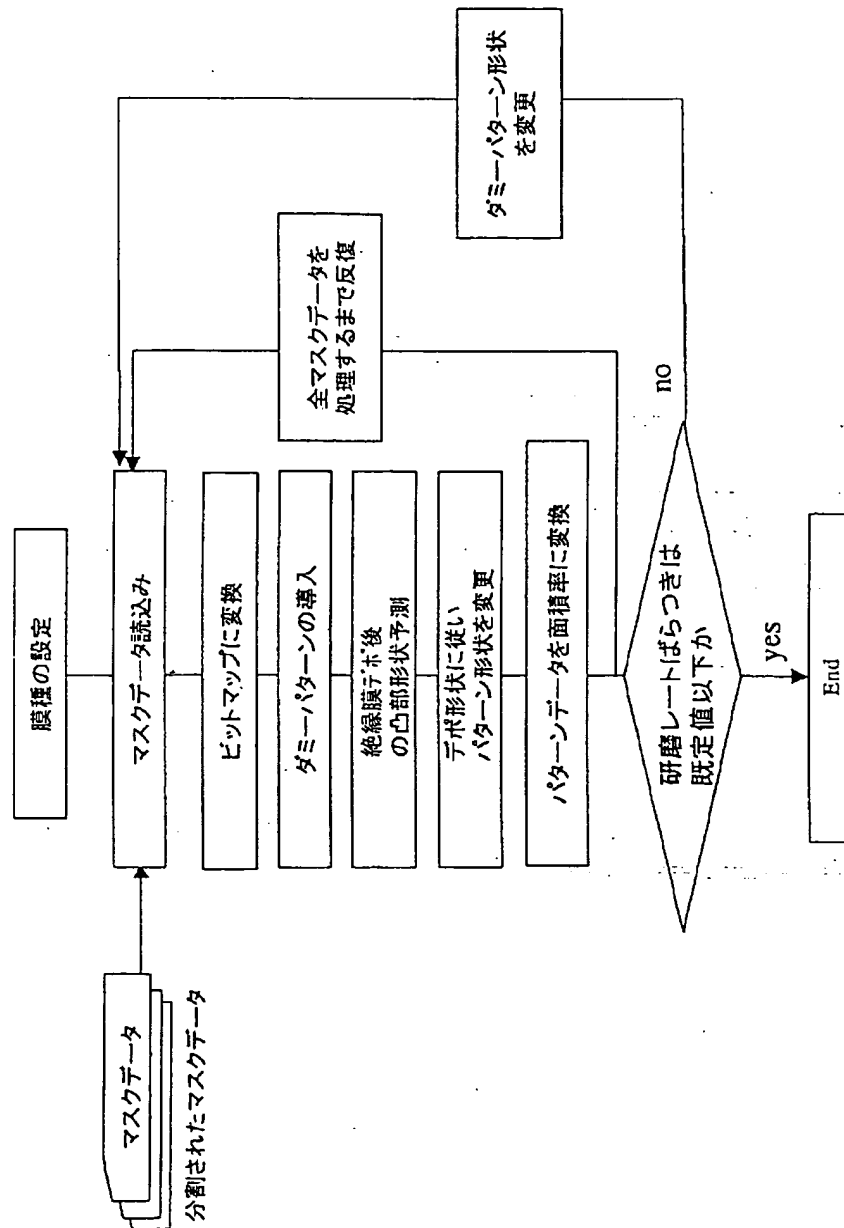
【図8】

図 8



【図9】

図 9



フロントページの続き

Fターム(参考) 5F033 HH11 HH19 HH33 PP26 QQ48  
RR04 RR06 RR09 SS01 SS04  
SS15 UU07 XX01  
5F043 AA01 DD16 DD24 DD30 FF07